

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-164150

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H05K 3/46

(21)Application number : 04-308763

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 18.11.1992

(72)Inventor : TANI KOJI

OSHITA KAZUHIITO

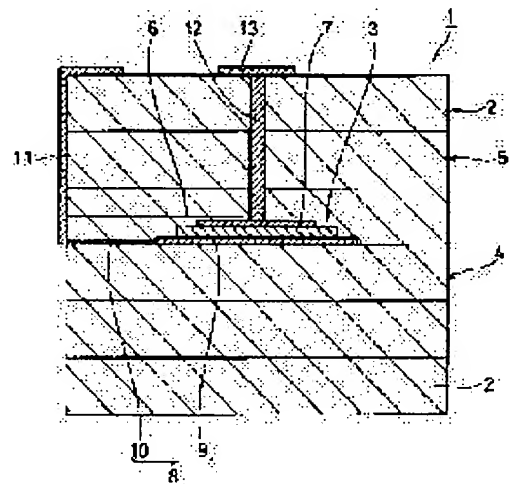
SUGO KIMIHIDE

(54) CERAMIC MULTILAYER BOARD

(57)Abstract:

PURPOSE: To provide a ceramic multilayer board with good electric characteristics without a structural defect or lowering accuracy in formation.

CONSTITUTION: A ceramic multilayer board comprises a plurality of ceramic boards 2 laminated in a body, and a capacitor 3 provided inside is made up of a dielectric ceramic layer 6 and at least a pair of electrode layers 7 and 8 provided opposite on both sides of the dielectric ceramic layer 6. In the electrode layers 7 and 8, each area thereof facing on the dielectric ceramic layer 6 should be thicker than the other parts.



LEGAL STATUS

[Date of request for examination]

27.10.1999

[Date of sending the examiner's decision of rejection] 11.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-164150

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

H 0 5 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

Q 6921-4E

H 6921-4E

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-308763
(22)出願日 平成4年(1992)11月18日

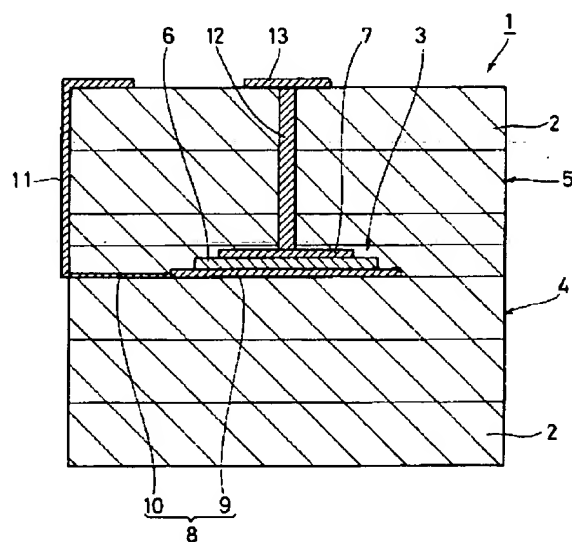
(71)出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号
(72)発明者 谷 広次
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72)発明者 大下 一仁
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72)発明者 須郷 公英
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 セラミック多層基板

(57)【要約】

【目的】構造的欠陥や成形精度の低下を招くことなく、電気特性を向上させることができるセラミック多層基板の提供。

【構成】積層一体化された複数のセラミック基板2からなるとともにその内部にはコンデンサ3を備え、コンデンサ3は誘電体セラミック層6と、この誘電体セラミック層6を挟んで対向配置された少なくとも一对の電極層7、8とからなっており、かつ、前記電極層7、8は、誘電体セラミック層6と対向している部分の膜厚が他の部分の膜厚より厚くなっているセラミック多層基板。



【特許請求の範囲】

【請求項1】積層一体化された複数のセラミック基板(2)からなるとともにその内部には回路素子(3)を備え、前記回路素子(3)は電気機能セラミック層(6)と、この電気機能セラミック層(6)を挟んで対向配置された少なくとも一対の電極層(7、8)とからなっており、かつ、前記電極層(7、8)は、前記電気機能セラミック層(6)と対向している部分の膜厚が他の部分の膜厚より厚くなっていることを特徴とするセラミック多層基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、内部にコンデンサ等の回路素子を備えたセラミック多層基板に関する。

【0002】

【従来の技術】従来からこの種のセラミック多層基板として、図2に示すものがある。このセラミック多層基板50は、積層一体化された複数のセラミック基板51、…と、これらセラミック基板51の層間に配設されたコンデンサ52とを備えて構成されている。コンデンサ52は積層体の中間に位置するセラミック基板51、51の層間に配設された誘電体セラミック層53と、この誘電体セラミック層53を挟んで対向するセラミック基板51、51の表面および裏面に配設された下部電極層54、および上部電極層55とからなっている。下部電極層54はセラミック基板51の側面まで引き出されており、セラミック基板51の側面に形成された側面電極56に接続されている。上部電極層55はセラミック基板51最上面に形成された表面電極57にバイアホール58を介して接続されている。

【0003】このセラミック多層基板50の製造は次のようにして行われる。すなわち、所定数のセラミックグリーンシートを積層して構成した下側セラミックグリーンシート層の上面に銅ペーストを印刷することにより下部電極層54を形成し、形成した下部電極層54の上に高誘電率の誘電体セラミックペーストを印刷して誘電体セラミック層53を形成し、さらに、誘電体セラミック層53の上に銅ペーストを印刷して上部電極層55を形成する。一方、銅ペーストを充填したバイアホール58を備えた上側セラミックグリーンシート層を用意し、この上側セラミックグリーンシート層を下側グリーンシート層の上に積層して圧着する。圧着成形したグリーンシート体を所定の大きさにカットしたのち、その側面に銅ペーストを印刷して側面電極56および表面電極57を形成し、さらに温度900℃～1000℃、中性(N₂)雰囲気中で1～2時間焼成してセラミック多層基板50が完成する。

【0004】

【発明が解決しようとする課題】ところで、上記従来のセラミック多層基板50には高容量を得ることが困難で

あるという問題があった。というのは、従来のセラミック多層基板50は、下部電極層54、誘電体セラミック層53および上部電極層55を印刷製法によって順次積層してコンデンサ52を形成している。このような構造では、ボイド等の構造的欠陥、外形の変形、さらには、電極の反りといった種々の不都合の原因となるので電極層54、55はできるだけ薄くする必要がある。さらには、電極層54、55の厚みはセラミック多層基板50の表面段差として現れやすく、十分なる成形精度を得るためにも電極層54、55の厚みはできるだけ薄くする必要があった。

【0005】しかしながら、電極層54、55の厚みを薄くすると、焼成の際に誘電体セラミック層53中の誘電体成分がセラミック基板51中に拡散しやすくなってしまいう問題が起こる。このような拡散現象は、誘電体セラミック層53中にボアを発生させて容量値を下げてしまうのでコンデンサ53を高容量化するには非常に都合の悪いものであった。

【0006】したがって、本発明においては、構造的欠陥や成形精度の低下を招くことなく、電気特性を向上させることができるセラミック多層基板の提供を目的としている。

【0007】

【課題を解決するための手段】このような目的を達成するために、本発明のセラミック多層基板は、積層一体化された複数のセラミック基板からなるとともにその内部には回路素子を備え、前記回路素子は電気機能セラミック層と、この電気機能セラミック層を挟んで対向配置された少なくとも一対の電極層とからなっており、かつ、前記電極層は、前記電気機能セラミック層と対向している部分の膜厚が他の部分の膜厚より厚くなっていることに特徴を有している。

【0008】

【作用】上記構成によれば、電気機能セラミック層と対向している電極層の膜厚を厚くしたので、電気機能セラミック層の成分が焼成の際に拡散することはなくなる。

【0009】また、電気機能セラミック層と対向していない電極層の膜厚は厚くないので、ボイド等の構造的欠陥、外形の変形、さらには、電極の反りといった種々の不都合が起こることはない。

【0010】

【実施例】以下、本発明の一実施例を図面を参照して詳細に説明する。図1は、本発明の一実施例のセラミック多層基板の断面図である。このセラミック多層基板1は、積層一体化された複数のセラミック基板2、…(例えばBaO-Al₂O₃-SiO₂系のセラミックからなっている)とコンデンサ3とを備えている。積層一体化されたセラミック基板2、…は下側セラミック基板層4と上側セラミック基板層5とを構成している。コンデンサ3は誘電体セラミック層6(電気機能セラミック層)

と、上部および下部の各電極層7、8とからなっている。誘電体セラミック層6は下側セラミック基板層4と上側セラミック基板層5との間に配設されており、上部、下部の各電極層7、8は誘電体セラミック層6を挟んで各セラミック基板層4、5の表面および裏面に配設されている。電極層7、8、および誘電体セラミック層6はCuペーストや高誘電率の誘電体セラミックペーストを下側セラミック基板層4上に順次印刷することによって形成されている。

【0011】下部電極層8は誘電体セラミック層6と対向して配置された対向電極部9と、対向電極部9をセラミック基板2の側面まで導出する引き出し電極部10とからなっている。引き出し電極部10はセラミック基板2の側面に形成された側面電極11に接続されている。また、上側セラミック基板層5には上下に貫通してパイアホール12が形成されており、上部電極層7はこのパイアホール12を介してセラミック基板2最上面に形成された表面電極13に接続されている。

【0012】次に本実施例の特徴となる構成を述べる。このセラミック多層基板1は電極層7、8のうち誘電体セラミック層6と対向する部分の厚みが他の電極層、す*

*なわち、誘電体セラミック層6と対向していない電極層の厚みより厚くなっている。具体的には、対向電極部9および上部電極層7の厚みが引き出し電極部10の厚みより厚くなっている。

【0013】このようにして構成された実施例品および比較例品のコンデンサ特性を測定した結果を表1に示す。この測定においては表1に示すように、上部電極層7、下部電極層8ともにその厚みがすべて1.7 μ mであるものを比較例品1とし、下部電極層8は比較例品1と同様すべて1.7 μ mの厚みであるものの上部電極層7の厚みが6.0 μ mであるものを比較例品2とした。これに対して、引き出し電極部10の厚みは1.7 μ mであるものの、上部電極層7、および対向電極部9の厚みが6.0 μ mと厚いものを実施例品とした。そして、これらを同一の焼成条件で焼成してセラミック多層基板を形成した。なお、これらすべてのセラミック多層基板においては、誘電体セラミック層6の厚みをすべて12 μ mに統一している。

【0014】

【表1】

	上部電極層膜厚 (μ m)	下部電極層膜厚 (μ m)		誘電率	容量 (pF)
比較例品 1	1.7	1.7		37	28
比較例品 2	6.0	1.7		105	80
実施例品	6.0	引きだし 電極部	対向 電極部	685	600
		1.7	6.0		

【0015】この表から明らかなように、上部電極層7、下部電極層8ともに薄い比較例品1では、誘電体セラミック層6から誘電体成分が拡散してポアが発生するので、誘電率も低く低容量となっている。また、上部電極層7の厚みは厚いが下部電極層8が薄い比較例品2は誘電体セラミック成分の拡散は比較例品1よりは少なく、誘電率、容量とも若干はよくなっているが十分とはいえない。これに対して、上部側、下部側とも誘電体層6に対向している電極部部位の厚みが厚い実施例品は、誘電体成分の拡散を確実に防ぐことができるので、誘電率、容量とも好結果が得られている。

【0016】拡散を防止できる理由としては上記のほか、厚い電極層を形成するためには必然的に電極層形成ペースト中の金属成分（例えばCu）の含有率が増大す※50

※るので、形成される電極層の緻密さが増しそのために拡散防止の確実性が増すことも考えられる。

【0017】また、電極層の厚みが厚い場合、電極層を構成する金属ペースト中の残留バインダーが焼成の際にボイド（このようなボイドは引き出し電極部10と側面電極11との接続部に発生しやすい）、外形変形、および電極層の反りを引き起こす原因になるが、実施例品では、誘電体層6と対向する部分のみ電極層の厚みを厚くし、他の部分（具体的には引き出し電極部10）は薄いままである。そのため、上記したような構造的欠陥や成形精度低下を引き起こすことはない。

【0018】誘電体セラミック層6を挟んで対向配置された電極層7、8の厚みは4～8 μ mの範囲で選定される。これは4 μ m未満では誘電体セラミック層6からそ

5

の成分が拡散してボアが発生し、誘電率が低くなって低容量となる。また、 $8\mu\text{m}$ を越えると、セラミック多層基板に外形変形が生じるからである。

【0019】また、その他の部分の電極層の厚みは $1\sim 3\mu\text{m}$ の範囲で選定される。これは、 $1\mu\text{m}$ 未満になると、たとえば側面電極11との接触不良が生じやすくなるという問題があり、導通の信頼性が落ちることになる。また、 $3\mu\text{m}$ を越えると、ペーストの脱バインダーが十分に行われず、たとえば、側面電極11との接触部においてボイドが発生し、外形変形および電極層7、8の反りを引き起こすからである。

【0020】なお、上記実施例はコンデンサを内蔵した多層基板において本発明を実施したものであったが、本発明はこのような構造に限るものではなく、抵抗、インダクタといった他の回路素子を内蔵した多層基板においても同様に実施できるのはいうまでもない。

【0021】

【発明の効果】以上のように本発明によれば、電気機能セラミック層と対向している電極層の膜厚を厚くしたので、電気機能セラミック層の成分が焼成の際に拡散する

6

ことはなくなった。そのため、このような拡散に起因する電気機能セラミック層中のボアは発生しなくなり、その分、電気特性を向上させることができるようになった。

【0022】また、電気機能セラミック層と対向していない電極層の膜厚は薄いままなので、ボイド等の構造的欠陥、外形の変形、さらには、電極の反りといった種々の不都合を起こすことなく、精度よくセラミック多層基板を形成することができる。

【図面の簡単な説明】

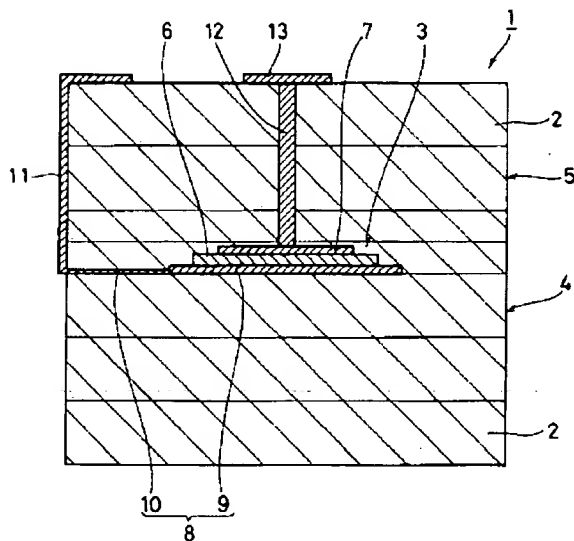
【図1】本発明の一実施例に係るセラミック多層基板の構成を示す断面図である。

【図2】従来例のセラミック多層基板の構成を示す断面図である。

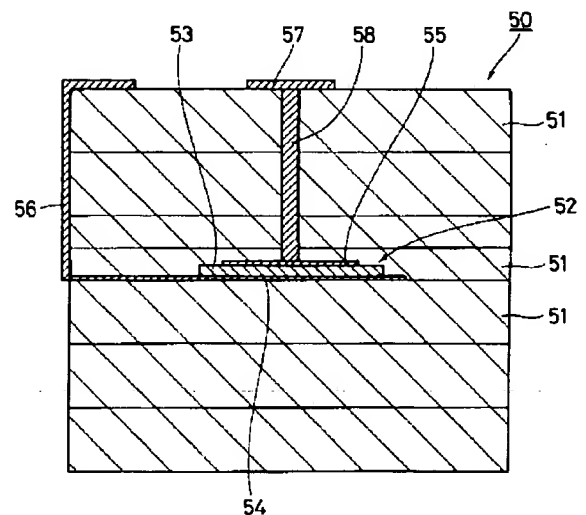
【符号の説明】

- 2 セラミック基板
- 3 コンデンサ（回路素子）
- 6 誘電体セラミック層（電気機能セラミック層）
- 7、8 電極層

【図1】



【図2】



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the ceramic multilayer substrate which equipped the interior with circuit elements, such as a capacitor.

[0002]

[Description of the Prior Art] As this kind of a ceramic multilayer substrate, there are some which are shown in drawing 2 from the former. This ceramic multilayer substrate 50 is equipped with two or more ceramic substrates 51 and -- by which laminating unification was carried out, and the capacitor 52 arranged between the layers of these ceramic substrates 51, and is constituted. The capacitor 52 consists of a dielectric ceramic layer 53 arranged between the layers of the ceramic substrates 51 and 51 located in the middle of a layered product, and the lower electrode layer 54 arranged in the front face and rear face of ceramic substrates 51 and 51 which counter on both sides of this dielectric ceramic layer 53 and the up electrode layer 55. The lower electrode layer 54 is pulled out to the side face of a ceramic substrate 51, and is connected to the side-face electrode 56 formed in the side face of a ceramic substrate 51. The up electrode layer 55 is connected to the surface electrode 57 formed in the ceramic substrate 51 maximum top face through the Bahia hall 58.

[0003] Manufacture of this ceramic multilayer substrate 50 is performed as follows. That is, by printing a copper paste on the top face of the bottom ceramic green sheet layer which carried out the laminating of the ceramic green sheet of predetermined number, and constituted it, the lower electrode layer 54 is formed, on the formed lower electrode layer 54, the dielectric ceramic paste of a high dielectric constant is printed, the dielectric ceramic layer 53 is formed, further on the dielectric ceramic layer 53, a copper paste is printed and the up electrode layer 55 is formed. The top ceramic green sheet layer equipped with the Bahia hall 58 filled up with the copper paste on the other hand is prepared, on a bottom green sheet layer, the laminating of this top ceramic green sheet layer is carried out, and it is stuck by pressure. After cutting into predetermined magnitude the green sheet object which carried out sticking-by-pressure shaping, a copper paste is printed on the side face, the side-face electrode 56 and a surface electrode 57 are formed in it, it calcinates further for 1 to 2 hours in the temperature of 900 degrees C - 1000 degrees C, and a neutral (N₂) ambient atmosphere, and the ceramic multilayer substrate 50 is completed.

[0004]

[Problem(s) to be Solved by the Invention] By the way, there was a problem that it was difficult to obtain high capacity in the above-mentioned conventional ceramic multilayer substrate 50. Because, the conventional ceramic multilayer substrate 50 carries out the laminating of the lower electrode layer 54, the dielectric ceramic layer 53, and the up electrode layer 55 one by one by the printing process, and forms the capacitor 52. With such structure, since it becomes the inconvenient cause of deformation of structural failure, such as a void, and an appearance and versatility further called the curvature of an electrode, it is necessary to make the electrode layers 54 and 55 as thin as possible. Furthermore, the thickness of the electrode layers 54 and 55 tended to appear as a surface level difference of the ceramic multilayer substrate 50, and also in order to acquire the shaping precision which becomes enough, it needed make thickness of the electrode layers 54 and 55 as thin as possible.

[0005] However, if thickness of the electrode layers 54 and 55 is made thin, the problem of becoming easy to diffuse the dielectric component in the dielectric ceramic layer 53 in a ceramic substrate 51 in the case of baking will arise. Since such a diffusion phenomenon generated pore and lowered capacity value into the dielectric ceramic layer 53, it was very inconvenient for high-capacity-izing a capacitor 53.

[0006] Therefore, it aims at offer of the ceramic multilayer substrate which can raise an electrical property in this invention, without causing the fall of structural failure or shaping precision.

[0007]

[Means for Solving the Problem] In order to attain such a purpose, the ceramic multilayer substrate of this invention The interior is equipped with a circuit element while consisting of two or more ceramic substrates by which laminated

unification was carried out. Said circuit element An electric functional ceramic layer, It has the description for it to be thicker than the thickness of the part of others [thickness / by which opposite arrangement was carried out on both sides of this electric functional ceramic layer / of the part which said electrode layer has countered with said electric functional ceramic layer by consisting of an electrode layer of a pair at least].

[0008]

[Function] Since thickness of an electric functional ceramic layer and the electrode layer which has countered was thickened according to the above-mentioned configuration, being spread in case the component of an electric functional ceramic layer is baking is lost.

[0009] Moreover, since the thickness of an electric functional ceramic layer and the electrode layer which has not countered is not thick, it does not happen deformation of structural failure, such as a void, and an appearance and various un-arranging [which it is further called the curvature of an electrode].

[0010]

[Example] Hereafter, one example of this invention is explained to a detail with reference to a drawing. Drawing 1 is the sectional view of the ceramic multilayer substrate of one example of this invention. This ceramic multilayer substrate 1 is equipped with the capacitor 3 with two or more ceramic substrates 2 and -- (for example, it consists of ceramic of BaO-aluminum₂O₃-SiO₂ system) by which laminating unification was carried out. The ceramic substrate and -- by which laminating unification was carried out constitute the bottom ceramic substrate layer 4 and the top ceramic substrate layer 5. The capacitor 3 consists of a dielectric ceramic layer 6 (electric functional ceramic layer) and each electrode layers 7 and 8 of the upper part and the lower part. The dielectric ceramic layer 6 is arranged between the bottom ceramic substrate layer 4 and the top ceramic substrate layer 5, and each electrode layers 7 and 8 of the upper part and the lower part are arranged in the front face and rear face of each ceramic substrate layers 4 and 5 on both sides of the dielectric ceramic layer 6. The electrode layers 7 and 8 and the dielectric ceramic layer 6 are formed by carrying out sequential printing of Cu paste or the dielectric ceramic paste of a high dielectric constant on the bottom ceramic substrate layer 4.

[0011] The lower electrode layer 8 consists of the counterelectrode section 9 which countered with the dielectric ceramic layer 6 and has been arranged, and drawer polar zone 10 which derives the counterelectrode section 9 to the side face of a ceramic substrate 2. The drawer polar zone 10 is connected to the side-face electrode 11 formed in the side face of a ceramic substrate 2. Moreover, in the top ceramic substrate layer 5, it penetrates up and down, the Bahia hall 12 is formed, and the up electrode layer 7 is connected to the surface electrode 13 formed in the ceramic substrate 2 maximum top face through this Bahia hall 12.

[0012] Next, the configuration used as the description of this example is described. This ceramic multilayer substrate is thicker among the electrode layers 7 and 8 than the thickness of the electrode layer of others [thickness / of the dielectric ceramic layer 6 and the part which counters], i.e., the dielectric ceramic layer 6 and the electrode layer which has not countered. The thickness of the counterelectrode section 9 and the up electrode layer 7 pulls out, and, specifically, it is thicker than the thickness of the polar zone 10.

[0013] Thus, the result of having measured the constituted example article and the capacitor property of example *** of a comparison is shown in Table 1. As this measurement was shown in Table 1, the up electrode layer 7 and the low electrode layer 8 used as the example article 1 of a comparison that the whole of that thickness of whose is 1.7 micrometers, and although the lower electrode layer 8 was 1.7 micrometers in thickness altogether like the example article 1 of a comparison, it used as the example article 2 of a comparison that whose thickness of the up electrode layer 7 is 6.0 micrometers. On the other hand, although the thickness of the drawer polar zone 10 was 1.7 micrometers, the thickness of the up electrode layer 7 and the counterelectrode section 9 used 6.0 micrometers and a thick thing as the example article. And these were calcinated on the same baking conditions and the ceramic multilayer substrate was formed. In addition, in these ceramic [all] multilayer substrates, all the thickness of the dielectric ceramic layer 6 is unified into 12 micrometers.

[0014]

	上部電極層膜厚 (μm)	下部電極層膜厚 (μm)		誘電率	容量 (pF)
比較例品 1	1.7	1.7		37	28
比較例品 2	6.0	1.7		105	80
実施例品	6.0	引きだし 電極部	対向 電極部	685	600
		1.7	6.0		

[Table 1]

[0015] Since a dielectric component is spread from the dielectric ceramic layer 6 and pore occurs, the up electrode layer 7 and the lower electrode layer 8 serve as low capacity low [a dielectric constant] in the thin example article 1 a comparison, so that clearly from this table. Moreover, although diffusion of a dielectric ceramic component has few example articles 2 of a comparison with the thin lower electrode layer 8 than the example article 1 of a comparison although the thickness of the up electrode layer 7 is thick, and it is good a little also with a dielectric constant and capacity, it cannot be said that it is enough. On the other hand, since the example article with the thick thickness of the polar-zone part where the upper part and lower part side has countered the dielectric layer 6 can prevent diffusion of dielectric component certainly, the good result is obtained for a dielectric constant and capacity.

[0016] Since the content of the metal component under electrode stratification paste (for example, Cu) increases inevitably in order to form a thick electrode layer besides the above as a reason for the ability to prevent diffusion, it also considered that the precision of the electrode layer formed increases, therefore the certainty of diffusion prevent increases.

[0017] Moreover, although it becomes a void (it is easy to generate such a void in the connection of the drawer polar zone 10 and the side-face electrode 11), appearance deformation, and the cause that causes the curvature of an electrode layer in case the residual binder under metal paste which constitutes an electrode layer is baking when the thickness an electrode layer is thick In an example article, only a dielectric layer 6 and the part which counters thicken thickness of an electrode layer, and other parts (specifically drawer polar zone 10) are still thin. Therefore, structural failure or shaping precision fall which were described above are not caused.

[0018] The thickness of the electrode layers 7 and 8 by which opposite arrangement was carried out on both sides of the dielectric ceramic layer 6 is selected in 4-8 micrometers. In less than 4 micrometers, the component is spread from the dielectric ceramic layer 6, pore occurs, a dielectric constant becomes low and this serves as low capacity. Moreover it is because appearance deformation will arise in a ceramic multilayer substrate if 8 micrometers is exceeded.

[0019] Moreover, the thickness of the electrode layer of other parts is selected in 1-3 micrometers. When this is set to less than 1 micrometer, there is a problem of becoming easy to produce a poor contact with the side-face electrode 11 for example, and the dependability of a flow will fall. Moreover, it is because the debinder of a paste will not fully be performed, for example, a void will occur in the contact section with the side-face electrode 11 and the curvature of appearance deformation and the electrode layers 7 and 8 will be caused, if 3 micrometers is exceeded.

[0020] In addition, although the above-mentioned example carried out this invention in the multilayer substrate having a capacitor, it cannot be overemphasized that it can carry out similarly in the multilayer substrate which does not restrict this invention to such structure and contained other circuit elements, such as resistance and an inductor.

[0021]

[Effect of the Invention] Since thickness of an electric functional ceramic layer and the electrode layer which has countered was thickened as mentioned above according to this invention, being spread in case the component of an electric functional ceramic layer is baking was lost. Therefore, it stops occurring and the pore in the electric function ceramic layer resulting from such diffusion can raise the part and an electrical property now.

[0022] Moreover, a ceramic multilayer substrate can be formed with a sufficient precision, without starting deformation of structural failure, such as a void, and an appearance and various un-arranging [which it is further called the curvature of an electrode], since the thickness of an electric functional ceramic layer and the electrode layer which has not countered is still thin.